

PAT-NO: JP402257648A

DOCUMENT-IDENTIFIER: JP 02257648 A

TITLE: WIRING BOARD

PUBN-DATE: October 18, 1990

INVENTOR-INFORMATION:

NAME
HATA, MITSUO
KAWADA, SHUJI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SONY CORP	N/A

APPL-NO: JP01079537

APPL-DATE: March 30, 1989

INT-CL (IPC): H01L021/60, B42D015/10, H05K001/18

ABSTRACT:

PURPOSE: To mount a chip component by a much simpler process by a method wherein one part of a conduction pattern is formed on a pedestal and a bump for chip-component bonding use is formed.

CONSTITUTION: A copper foil is pressure-bonded thermally onto a substrate 4A and a pedestal 21; after that, an etching treatment is executed; a dipole antenna 4B and a wiring pattern are formed from the substrate 4A to the surface 21A of the pedestal 21. During this process, the dipole antenna 4B and one part of the wiring pattern are formed up to a prescribed position on the upperside face 21A of the pedestal 21; this part protrudes from the surface of the substrate 4A by a thickness of the pedestal 21. A bump part 24 is formed as bumps 24A and 24B; these bumps are bonded to electrodes 16A and 16B of an opposite chip component 15. Thereby, it is possible to mount the chip component 15 on the substrate 4A by a simple process without using a bonding member such as a bump or the like.

COPYRIGHT: (C)1990,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 平2-257648

⑫ Int.Cl. 5

H 01 L 21/60
B 42 D 15/10
H 05 K 1/18

識別記号 311 S 6918-5F
521 6548-2C
J 6736-5E

⑬ 公開 平成2年(1990)10月18日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 配線基板

⑮ 特願 平1-79537

⑯ 出願 平1(1989)3月30日

⑰ 発明者 畑 満 雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑰ 発明者 河田 秀志 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑰ 出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑰ 代理人 弁理士 田辺 恵基

明細書

1. 発明の名称

配線基板

2. 特許請求の範囲

チップ部品の表面に形成された電極を、基板上に設けられた配線パターンの一部に接合するようになされた配線基板において、

上記基板表面上から所定高さだけ突出するようになされた台座と、

上記台座の表面上に配線パターンの一部を形成することによつて得られる突起電極と

を具え、上記チップ部品の上記電極及び上記台座上に形成された上記突起電極を接合することを特徴とする配線基板。

3. 発明の詳細な説明

A 産業上の利用分野

本発明は配線基板に関し、例えば半導体集積回

路 (IC) 等でなるチップ型電子部品を実装するようになされた情報カード等に適用して好適なものである。

B 発明の概要

本発明は、情報カード等に用いられる配線基板において、チップ部品の電極と接合するようになされた配線パターンの一部を、基板表面上から所定高さだけ突出させて形成したことにより、バンプ等の接合部材を用いることなく、簡易な工程でチップ部品を実装することができる。

C 従来の技術

従来情報カードの情報を読み取る情報カード読取装置として、第4図に示すように、例えば2.45 [GHz] のマイクロ波を搬送波とする応答要求信号W1を情報読取装置1の応答要求信号発生回路2において発生して送信アンテナ3から情報カード4に放出し、この情報カード4から返送されて来る応答情報信号W2を情報読取装置1の受信ア

ンテナ 5 を介して応答信号処理回路 6 に取り込むことにより、情報カード 4 を例えば入出門証として所持する入出門者や、情報カード 4 をタグとして付着されている貨物をチェックする等の情報カード読取システムを構築することが考えられている。

かかる情報カード読取システムに適用し得る情報カード 4 としては、基板 4 A 上に配線パターンの一部を形成するように付着されたダイポールアンテナ 4 B と、情報信号発生回路を形成する集積回路 (I C) 構成の情報信号発生回路 4 C と、電源電池 4 D とを配線パターン 4 E によって接続し、ダイポールアンテナ 4 B の給電点におけるインピーダンスを情報信号発生回路 4 C において発生される情報信号に応じて変更することにより、情報読取装置 1 から応答要求信号 W 1 として放出される搬送波に対する反射率を変更することにより当該反射波を応答情報信号 W 2 として返送するようにしたものが提案されている(特願昭63-6292号)。

情報信号発生回路 4 C は、第 5 図に示すような

電気的回路構成を有し、例えば P R O M で構成された情報メモリ 1 1 に予め格納された情報データ S 1 を、クロツク発振回路 1 2 のクロツク信号 S 2 によつてカウント動作するアドレスカウンタ 1 3 のアドレス信号 S 3 によつて読み出して例えば電界効果型トランジスタでなるインピーダンス可変回路 1 4 に供給する。

インピーダンス可変回路 1 4 は、一对の給電点端子 T 1 及び T 2 間に接続され、かくして情報データ S 1 が論理「1」又は論理「0」になつたとき電界効果型トランジスタがオン又はオフ動作することにより、給電点端子 T 1 及び T 2 に接続されているダイポールアンテナ 4 B の給電点におけるインピーダンスを可変制御し、かくしてダイポールアンテナ 4 B に入射した応答要求信号 W 1 に対する反射率を可変制御するようになされている。

情報信号発生回路 4 C のアース側給電点端子 T 1 及び電源端子 T 3 間には、電源電池 4 D が接続され、これにより情報データ S 1 によるダイポールアンテナ 4 B の給電点におけるインピーダンス

可変制御を常時連続的に実行し得るようになされている。

情報メモリ 1 1 には各情報カード 4 に対して固有の識別コードが割り当てられ、かくして情報読取装置 1 によつて情報カード 4 がもつている情報を確実に読み出すことができる。

D 発明が解決しようとする問題点

ところでかかる構成の情報カード 4 においては、情報信号発生回路 4 C を構成するチップ部品 1 5 が配線パターン 4 E 上に実装されている。

すなわち第 6 図に示すように、予めチップ部品 1 5 の電極 1 6 上に金又は半田の突起電極(以下これをバンプと呼ぶ) 1 7 を形成し、当該バンプ 1 7 及び配線パターン 4 E を接觸させて熱処理することにより、配線パターン 4 E 及び電極 1 6 間を電気的に接觸させると共に機械的に接合させ、かくしてチップ部品 1 5 を配線パターン 4 E 上に接合させるようになされている (Semicon NEWS、第 9 卷、3 号、1989 年 3 月 1 日発行、42~49 ペー

ジ)。

ところがこのような方法を用いる場合、バンプ 1 7 を形成するために、通常の半導体製造工程に加えて、電極 1 6 上に多層の金属膜を形成するための蒸着工程、当該金属膜上にバンプ 1 7 を形成するためのメツキ工程、さらには前処理工程で形成された金属膜のうち不要部分を除去するためのエッチャング工程が必要になり、生産工程が複雑化し、簡易にチップ部品 1 5 を搭載することが困難になる。

この問題を解決する一つの方法として、配線パターン 4 E を形成した後、メツキ処理を施して、配線パターン 4 E 側にバンプ 1 7 を形成する方法がある。

ところがこの手法においては、バンプを形成するため、余分にメツキ工程が必要になり、その分配線基板作成の工程が煩雑になる等、解決策として未だ不十分な問題があつた。

本発明は以上の点を考慮してなされたもので、簡易な工程によつてチップ部品等の電子部品を実

装することができる配線基板を提案しようとするものである。

E 問題点を解決するための手段

かかる問題点を解決するため本発明においては、チップ部品15の表面に形成された電極16A、16Bを、基板4A上に設けられた配線パターン4B、4Eの一部に接合するようになされた配線基板20において、基板表面上から所定高さだけ突出するように形成された台座21と、台座21の表面上に配線パターン4B、4Eの一部を形成することによつて得られる突起電極24A、24Bとを備え、チップ部品15の電極16A、16B及び台座21上に形成された突起電極24A、24Bを接合するようとする。

F 作用

基板4Aの表面上において、当該基板4Aの表面に設けられた所定厚さの台座21上に、チップ部品15の電極16に接合するようになされた配

線パターン(4B、4E)の一部を形成して突起電極24を設けたことにより、バンプ等の接合部材を用いることなく、簡易な工程で基板4A上にチップ部品15を実装することができる。

G 実施例

以下図面について、本発明の一実施例を詳述する。

第4図及び第6図との対応部分に同一符号を付して示す第1図において、20は情報カード30の配線基板を示し、ガラスエポキシ基材である基板4A上に、厚さ10~20(μm)程度の絶縁性部材である平面方形状の台座21がスクリーン印刷等の手法を用いて設けられている。

この状態で基板4A及び台座21上に銅箔22を熱圧着した後(第2図(A))、エッティング処理を施すことによつてダイポールアンテナ4B及び配線パターン4Eが基板4Aから台座21の表面21A上にかけて形成される(第2図(B))。

このときダイポールアンテナ4B及び配線バク

ーン4Eの一部が台座21の上側面21A上の所定位置に及んで形成され、この部分は台座21の厚み分だけ基板4Aの表面から突出することにより、突起電極24A及び24Bとして突起電極部24を形成し、対向するチップ部品15の電極16A及び16Bに接合されるようになされている。

すなわち第3図に示すように、ダイポールアンテナ4Bの一部によつて形成された突起電極部24上にスクリーン印刷等の手法を用いて異方性導電膜25を形成した後、当該異方性導電膜25上にチップ部品15を搭載して熱圧着する。

ここで異方性導電膜25はゴムでなる支持材料中に厚さ方向に導電性を呈するように導電性粒子を配列させた構造を有し、厚さ方向に熱圧着した際に当該厚さ方向に導電性をもつてのに対して、幅方向には導電性をもたないような電気的異方性を呈するようになされている。

従つて異方性導電膜25を介して突起電極部24の第1及び第2の突起電極24A及び24B上にチップ部品15を圧着することにより、突起電

極24A及び24Bと電極16A及び16B間がそれぞれ電気的に導通する。

また異方性導電膜25は熱処理することによつて接着性を呈することにより、突起電極24A及び24Bと電極16A及び16Bとが機械的に接合される。

かくしてチップ部品15が基板4A上に電気的及び機械的に接合されて配線基板20が形成され(第1図)、当該配線基板20の表面を絶縁性のシート状材料(図示せず)によつて封止することにより、情報カード30が形成される。

ここで異方性導電膜25の厚さは台座21の厚み(すなわち突起電極24A及び24Bの突起高さ)と同等又はそれ以下に形成されており、チップ部品15が必要以上の押圧力で圧着された場合でも、電源電位を有するチップ部品15の側端部15Aと、ダイポールアンテナ4B(又は配線パターン4E)との間に介挿されている異方性導電膜25が押圧力を受けないようになされており、これによりこの部分がショートしないようになさ

れている。

以上の構成において、配線基板20は第2図に示すように台座21が設けられた基板4A上においてエッティング処理を施すことにより、基板4A上にダイポールアンテナ4B及び配線バターン4Eが形成されると同時に、当該ダイポールアンテナ4B及び配線バターン4Eの一部が台座21の上側面21A上に及んで形成されて突起電極部24が形成される。

従つて1回のエンチッピング工程によつてダイポールアンテナ4B及び配線バターン4Eでなるバターン部と突起電極部24が同時に形成される。

かくして以上の構成によれば、従来のようにパンプをチップ部品15又は配線バターン4E上に転写して設ける等の煩雑な工程を簡略化することができ、これにより配線基板20の製造工程を一段と簡略化し得る。

かくするにつき情報カード4を一段と簡易に製造することができる。

図に第3図に示すように、異方性導電膜25の

平面形状をチップ部品15の平面形状より大きく形成したことにより、チップ部品15を基板4A上に実装した際に、電源電位を有するチップ部品の側辺部15Aがダイポールアンテナ4B(又は配線バターン4E)に接触することを回避し得、これにより情報カード4の動作不良を未然に防止することができる。

なお上述の実施例においては、台座21の厚さを10~20(μm)とした場合について述べたが、本発明はこれに限らず、必要に応じて他の厚さに形成しても上述の場合と同様の効果を得ることができる。

また上述の実施例においては、基板4A上に別体に形成された台座21を設けた場合について述べたが、本発明はこれに限らず、基板4A及び台座21を一体に成形するようにしても良い。

また上述の実施例においては、基板4Aを形成する材料としてガラスエポキシ基材を用いた場合について述べたが、本発明はこれに限らず、他の種々の絶縁性基材を用いても良い。

また上述の実施例においては、銅箔を用いてダイポールアンテナ4B及び配線バターン4Eを形成した場合について述べたが、本発明はこれに限らず、例えば銅箔にニッケルメッキを施す等、他の導電性材料を用いても良い。

さらに上述の実施例においては、本発明を情報カードの配線基板に適用した場合について述べたが、本発明はこれに限らず、他の電子機器を構成する配線基板等に広く適用し得る。

H発明の効果

上述のように本発明によれば、台座上に導通バターンの一部を設けてチップ部品接合用の突起電極を形成したことにより、一段と簡易な工程によつてチップ部品を実装し得る配線基板を実現できる。

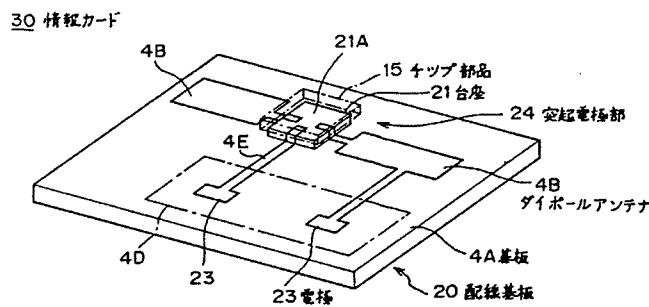
4. 図面の簡単な説明

第1図は本発明による配線基板の一実施例を示す略線的斜視図、第2図は突起電極部を形成する

際の説明に供する部分的断面図、第3図はチップ部品接合部分を示す部分的断面図、第4図は従来の情報カード読取システムの構成を示す略線図、第5図はその情報カードの電気的プロック図、第6図は従来の配線基板を示す部分的断面図である。

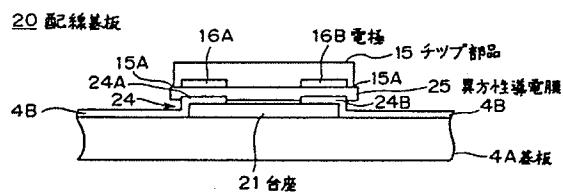
4、30……情報カード、4A……基板、4B……ダイポールアンテナ、4E……配線バターン、20……配線基板、21……台座、24……突起電極部、25……異方性導電膜。

代理人 田辺恵基



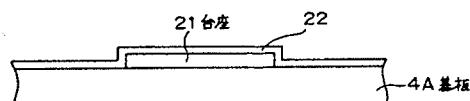
実施例の構成

第1図

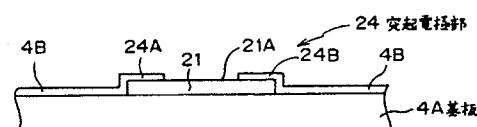


チップ部品の接合

第3図



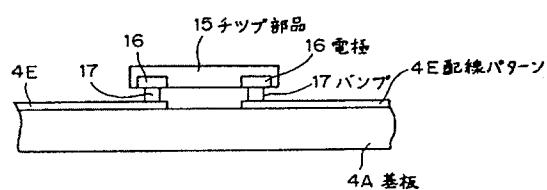
(A)



(B)

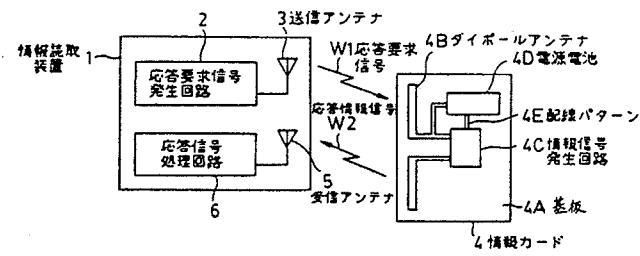
突起電極の形成

第2図



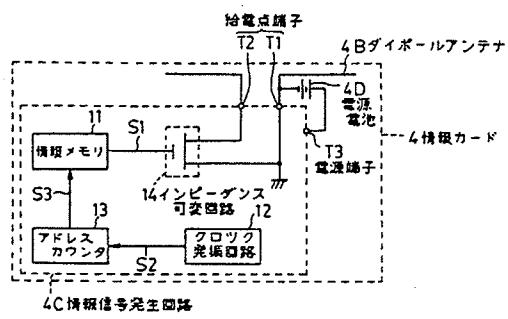
従来例

第6図



情報カード読み取りシステム

第4図



従来の情報カードの構成

第5図